

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-216882

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 1/00	B	9371-5K		
H 0 3 M 13/12		8730-5J		
13/22		8730-5J		
H 0 4 L 27/00				
		9297-5K	H 0 4 L 27/ 00	B
審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く				

(21)出願番号 特願平5-6774

(22)出願日 平成5年(1993)1月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 神野 一平

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 坂下 誠司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 尾関 浩明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 松田 正道

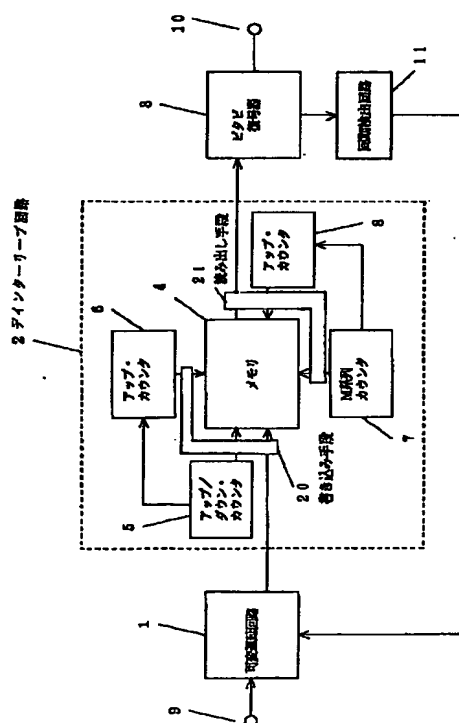
最終頁に続く

(54)【発明の名称】 誤り訂正送信装置及び受信装置

(57)【要約】

【目的】 誤って同期検出されることを防止できる誤り訂正送信装置及び受信装置を提供する。

【構成】 デインターリーブ回路2のメモリ4の書き込み時の列方向のアドレス・カウンタにアップ/ダウン・カウンタ5を用い、読み出し時の行方向のアドレス・カウンタにM系列カウンタ7を用い、同期検出回路11で同期検出されるまで可変遅延回路1の遅延量を変化させる。



## 【特許請求の範囲】

【請求項1】 デジタル信号を誤り訂正符号化する誤り訂正符号化手段と、行及び列で構成され、前記誤り訂正符号化された信号を読み書き可能なメモリと、そのメモリへの書き込み時には、予め決められた乱数に基づく行方向アドレスに従って前記信号を前記メモリに書き込む書き込み手段と、前記メモリからの読み出し時には、前記メモリに書き込まれた信号を、列方向に読み出す読み出し手段と、前記メモリから読み出された信号を伝送信号として出力する出力手段とを備えたことを特徴とする誤り訂正送信装置。

【請求項2】 読み出し手段は、前記メモリに書き込まれた信号を、列方向に読み出していき、隣の列への切り換わり時には、逆方向から読み出していくことを特徴とする請求項1記載の誤り訂正送信装置。

【請求項3】 請求項1記載の伝送信号を入力する入力手段と、行及び列で構成され、前記入力信号を読み書き可能なメモリと、そのメモリへの書き込み時には、前記入力信号を列方向に書き込む書き込み手段と、前記メモリからの読み出し時には、前記決められた乱数に基づく行方向アドレスに従って読み出す読み出し手段と、前記メモリから読み出された信号を誤り訂正復号する誤り訂正復号手段と、その誤り訂正復号される信号の同期を検出する同期検出手段とを備えたことを特徴とする誤り訂正受信装置。

【請求項4】 書き込み手段は、前記入力信号を列方向に書き込んでいき、隣の列への切り換わり時には、逆方向へ書き込んでいくことを特徴とする請求項3記載の誤り訂正受信装置。

【請求項5】 決められた乱数は、M系列であることを特徴とする請求項1、又は3記載の誤り訂正送信装置、又は受信装置。

【請求項6】 デジタル信号を誤り訂正符号化する誤り訂正符号化手段と、行及び列で構成され、前記誤り訂正符号化された信号を読み書き可能なメモリと、そのメモリへ前記信号を行方向に書き込む書き込み手段と、読み出し時には、そのメモリに書き込まれた信号を、列方向に読み出していき、隣の列への切り換わり時には、逆方向から読み出していき読み出し手段と、前記メモリから読み出された信号を伝送信号として出力する出力手段とを備えたことを特徴とする誤り訂正送信装置。

【請求項7】 請求項6記載の伝送信号を入力する入力手段と、行及び列で構成され、前記入力信号を読み書き可能なメモリと、そのメモリへの書き込み時には、前記入力信号を列方向に書き込んでいき、隣の列への切り換わり時には、逆方向へ書き込んでいき書き込み手段と、前記メモリへ書き込まれた入力信号を行方向に読み出す読み出し手段と、前記メモリから読み出された信号を誤り訂正復号する誤り訂正復号手段と、その誤り訂正復号される信号の同期を検出する同期検出手段とを備えたこ

とを特徴とする誤り訂正受信装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、多相PSK、多値QAMなどのデジタル伝送に用いられる誤り訂正送信装置及び受信装置に関するものである。

## 【0002】

【従来の技術】 近年、デジタル信号処理による映像信号の帯域圧縮技術の進歩に伴い、デジタルデータの伝送が通信分野だけでなくとどまらず、放送分野にまで広く普及する可能性が出てきており、QPSK、16QAMなどのデジタル伝送用の誤り訂正装置は必須の技術となってきた。

【0003】 以下図面を参照しながら、上述した従来の誤り訂正装置の一例について説明する。

【0004】 図7は、従来の誤り訂正装置のブロック図である。図7において、誤り訂正装置には、デジタル信号を送信する送信装置と送信されてきたデジタル信号を受信する受信装置がある。一方の送信装置には、送信しようとするデジタル信号を入力する入力端子18が設けられ、その入力端子18には、入力デジタル信号を誤り訂正符号化する畳込み符号化器17が接続されている。その畳込み符号化器17には、畳込み符号化されたデータをあらかじめ定まったブロック長毎に入れ替えるインターリーブ回路16が接続され、そのインターリーブ回路16には、デジタル信号を変調するデジタル変調器15が接続され、そのデジタル変調器15は、デジタル変調波を伝送路に出力するための出力端子14に接続されている。

【0005】 他方の受信装置には、伝送されてくるデジタル変調波を入力する入力端子13が設けられ、その入力端子13には、入力されたデジタル変調波を復調するデジタル復調器12が接続され、そのデジタル復調器12には、復調されたデジタル信号のブロックの区切りを制御するブロック位相制御回路1が接続されている。そのブロック位相制御回路1には、送信側でなされたインターリーブを解くデインターリーブ回路2が接続され、そのデインターリーブ回路2には、誤り訂正符号化された信号を復号するビタビ復号器3が接続されている。そのビタビ復号器3には、符号の同期を検出する同期検出回路11が接続され、その同期検出回路11には、検出結果に基づきビタビ復号器3の入力信号のブロックの区切りを制御するためにブロック位相制御回路1が接続されている。又、ビタビ復号器3には、誤り訂正復号されたデータを出力する出力端子10が接続されている。

【0006】 以上のように構成された誤り訂正装置について、以下その動作について説明する。

【0007】 まず、送信装置側では、畳込み符号化器17により誤り訂正符号化されたデジタル信号を、イン

ターリーブ回路16が、例えば、行方向7個、列方向4個で構成されるメモリへ行方向へ順次書き込み、その後メモリに書き込まれたデータを列方向に読み出していく(図6参照)。読み出されたデータはデジタル変調器15によって変調され、出力端子14から伝送路へ送信される。

【0008】次に、受信装置側では、送信されてきたデジタル変調波が入力端子13から入力され、デジタル復調器12によって復調されてブロック位相制御回路1へ入力される。ブロック位相制御回路1は、同期検出回路11により、ある積分周期で符号の同期がとれていないと判定された時に、デインターリーブのブロックの位相を1ビット(または1シンボル)シフトし、符号の同期がとれたと判定されるまでその位相のシフトを続け、同期がとれたと判定された場合は、現状のブロックの区切りの位相を維持する。これは、送信側でインターリーブされたブロックの区切りと受信側でデインターリーブするブロックの区切りが一致しない場合には、ビタビ復号器3の同期がとれないことを利用している。

【0009】このように符号の同期検出回路11を用いて、受信側でインターリーブされたブロックの区切りを見つけ、ブロックの区切り毎にデインターリーブし、ビタビ復号器3により誤り訂正復号化する(例えば、特開平3-32131。また、符号の同期については、例えば文献「安田他:”ビタビ復号における符号同期方式”, 信学論(B), vol. J66-B, No. 5, pp. 623~630, (昭58-05))。

#### 【0010】

【発明が解決しようとする課題】しかしながら上記のような構成では、図6に示すように、正しくないデータの区切りでデインターリーブされた場合でもインターリーブ前のデータの配列が残存する箇所が多く、同期検出回路11で誤って同期検出される可能性があるという課題がある。

【0011】本発明は、従来の誤り訂正装置のこのような課題を考慮し、誤って同期検出されることを防止できる誤り訂正送信装置及び受信装置を提供することを目的とするものである。

#### 【0012】

【課題を解決するための手段】請求項1の本発明は、デジタル信号を誤り訂正符号化する誤り訂正符号化手段と、行及び列で構成され、誤り訂正符号化された信号を読み書き可能なメモリと、そのメモリへの書き込み時には、予め決められた乱数に基づく行方向アドレスに従って信号をメモリに書き込む書き込み手段と、メモリからの読み出し時には、メモリに書き込まれた信号を、列方向に読み出す読み出し手段と、メモリから読み出された信号を伝送信号として出力する出力手段とを備えた誤り訂正送信装置である。

【0013】請求項3の本発明は、請求項1記載の伝送

信号を入力する入力手段と、行及び列で構成され、入力信号を読み書き可能なメモリと、そのメモリへの書き込み時には、入力信号を列方向に書き込む書き込み手段と、メモリからの読み出し時には、決められた乱数に基づく行方向アドレスに従って読み出す読み出し手段と、メモリから読み出された信号を誤り訂正復号する誤り訂正復号手段と、その誤り訂正復号される信号の同期を検出する同期検出手段とを備えた誤り訂正受信装置である。

10 【0014】請求項6の本発明は、デジタル信号を誤り訂正符号化する誤り訂正符号化手段と、行及び列で構成され、誤り訂正符号化された信号を読み書き可能なメモリと、そのメモリへ信号を行方向に書き込む書き込み手段と、読み出し時には、そのメモリに書き込まれた信号を、列方向に読み出していき、隣の列への切り換わり時には、逆方向から読み出していき読み出し手段と、メモリから読み出された信号を伝送信号として出力する出力手段とを備えた誤り訂正送信装置である。

20 【0015】請求項7の本発明は、請求項6記載の伝送信号を入力する入力手段と、行及び列で構成され、入力信号を読み書き可能なメモリと、そのメモリへの書き込み時には、入力信号を列方向に書き込んでいき、隣の列への切り換わり時には、逆方向へ書き込んでいき書き込み手段と、メモリへ書き込まれた入力信号を行方向に読み出す読み出し手段と、メモリから読み出された信号を誤り訂正復号する誤り訂正復号手段と、その誤り訂正復号される信号の同期を検出する同期検出手段とを備えた誤り訂正受信装置である。

#### 【0016】

30 【作用】請求項1の本発明は、誤り訂正符号化手段が、デジタル信号を誤り訂正符号化し、書き込み手段が、予め決められた乱数に基づく行方向アドレスに従って誤り訂正符号化された信号をメモリに書き込み、読み出し手段が、メモリに書き込まれた信号を、列方向に読み出し、出力手段が、メモリから読み出された信号を伝送信号として出力する。

【0017】請求項3の本発明は、入力手段が、伝送信号を入力し、書き込み手段が、入力信号を列方向に書き込み、読み出し手段が、決められた乱数に基づく行方向アドレスに従って読み出し、誤り訂正復号手段が、メモリから読み出された信号を誤り訂正復号し、同期検出手段が、その誤り訂正復号される信号の同期を検出する。

#### 【0018】

【実施例】以下に、本発明をその実施例を示す図面に基

【0019】図1は、本発明にかかる一実施例の誤り訂正受信装置のブロック図、図2は、誤り訂正送信装置のブロック図を示すものである。この誤り訂正受信装置及び誤り訂正送信装置により誤り訂正装置が構成される。すなわち、図1の誤り訂正受信装置には、デジタル信

号を入力する入力端子9が設けられ、その入力端子9には、信号の遅延量を変化させる可変遅延回路1が接続されている（可変遅延回路1は従来例のブロック位相制御回路と同等である）。その可変遅延回路1には、データのインターリーブを解くデインターリーブ回路2が接続され、そのデインターリーブ回路2には、誤り訂正符号化された信号を復号するビタビ復号器3が接続されている。そのビタビ復号器3には、復号された信号を出力する出力端子10と、符号の同期を検出する同期検出回路11が接続され、その同期検出回路11は可変遅延回路1に接続されている。又、入力端子9の前段には、入力手段としてデジタル変調波を復調するデジタル復調器（図示省略）が接続されている。

【0020】上述のデインターリーブ回路2には、行及び列で構成された読み出し、書き込みが可能なメモリ4（一般には $m \times n$ で表される2次元メモリである）が設けられ、そのメモリ4には、可変遅延回路1からのデータを書き込むための書き込み手段20及び、メモリ4に書き込まれたデータをビタビ復号器3へ出力するための読み出し手段21が接続されている。この書き込み手段20には、書き込み時の列方向アドレスを与えるためのアップ/ダウン・カウンタ5及び行方向アドレスを与えるためのアップ・カウンタ6が接続され、読み出し手段21には、読み出し時の行方向アドレスを与えるためのM系列カウンタ7及び列方向アドレスを与えるためのアップ・カウンタ8が接続されている。

【0021】一方、図2の誤り訂正送信装置には、伝送しようとするデジタル信号を入力する入力端子18が設けられ、その入力端子18には、入力されたデジタル信号を誤り訂正符号化する畳み込み符号化器17が接続されている。その畳み込み符号化器17には、データを予め定まったブロック長毎に入れ替えるインターリーブ回路16が接続され、そのインターリーブ回路16は、データを出力する出力端子19に接続されている。又、出力端子19には、出力手段としてデジタル信号を変調するデジタル変調器（図示省略）が接続されている。

【0022】上述のインターリーブ回路16には、行及び列で構成された読み出し、書き込みが可能なメモリ4（一般的に $m \times n$ で表される2次元メモリである）が設けられ、そのメモリ4には、畳み込み符号化器17からのデータを書き込むための書き込み手段20及び、メモリ4に書き込まれたデータを出力するための読み出し手段21が接続されている。この書き込み手段20には、書き込み時の行方向アドレスを与えるためのM系列カウンタ7及び列方向アドレスを与えるためのアップ・カウンタ8が接続され、読み出し手段21には、読み出し時の列方向アドレスを与えるためのアップ/ダウン・カウンタ5及び行方向アドレスを与えるためのアップ・カウンタ6が接続されている。

【0023】ここで、上記のビタビ復号器3が誤り訂正復号手段を構成し、畳み込み符号化器17が誤り訂正符号化手段を構成している。

【0024】次に、以上のように構成された誤り訂正装置の動作について説明する。

【0025】まず、誤り訂正送信装置において、デジタル信号が畳み込み符号化器17により誤り訂正符号化され、その信号がインターリーブ回路2によってインターリーブされる。このインターリーブは、例えば図3に示すように、行方向に7個、列方向に4個で構成されたメモリ4へ、書き込み手段20により行方向にデータを書き込んでいく。この書き込み時の行方向アドレスは、M系列カウンタ7が発生する乱数によって与えられ、データが1つの行に全部埋まるとアップ・カウンタ8により列方向アドレスが1つ増加し、それが列方向アドレスとして与えられる。次に、このようにして書き込まれたデータは、読み出し手段21により読み出される。この読み出し時の列方向アドレスは、アップ/ダウン・カウンタ5により与えられ、行方向アドレスは、アップ・カウンタ6により与えられる。このようにしてメモリ4から読み出されたデータは、デジタル変調器により変調されて伝送路に送信される。

【0026】次に、誤り訂正受信装置では、伝送路から入力されたデジタル変調信号が、デジタル復調器において復調されてA/Dコンバータによってデジタル信号に変換された後、入力端子9に入力されて可変遅延回路1へ送られる。可変遅延回路1ではデインターリーブ回路2のブロックの区切り毎に、ビタビ復号器3での同期検出が成立か不成立かを判定し、不成立の場合には遅延量を1サンプル分（1クロック分）だけ一方向に変化させる。なお可変遅延回路1は読み書き可能なメモリを用いて、巡回的に連続させて使用することによって実現できる。すなわち、書き込みは連続して行い、書き込みアドレスと読み出しアドレスとの差を変えることにより、遅延量を変化させることができる。

【0027】その後、可変遅延回路1の出力はデインターリーブ回路2に入力される。デインターリーブ回路2は、行および列からなる2次元メモリ4と、書き込み時に列方向アドレスをアップ/ダウン・カウントするアップ/ダウン・カウンタ5と、アップ/ダウン・カウンタ5がアップ・カウントする場合はその桁上がり信号で、ダウン・カウントする場合はその桁下がり信号で、行方向アドレスをアップ・カウントするアップ・カウンタ6と、2次元メモリ4の読み出し時には、行方向アドレスを周期性を有する疑似ランダム数列を発生してカウントするM系列カウンタ7と、M系列カウンタ7の桁上がり信号で列方向アドレスをアップ・カウントするアップ・カウンタ8とで構成される。なおデインターリーブ回路2では、同時に書き込みと読み出しを行うことはできないので、実際には同じ2次元メモリを2個用意し、一方

にデータを書き込んでいるときには他方から既に書き込まれた1ブロック前のデータを読み出すようにする。あるいは1個のメモリをバンク切り換えすることにより同等の機能を得るようにしてもよい。

【0028】送信側でインターリーブによって並べ替えられたデータが、デインターリーブ回路2によって正しいデータの区切りでデインターリーブされた場合には、インターリーブ前の元の配列に戻り、ビタビ復号器3に入力される。ビタビ復号器3では入力されたデータ列に対してビタビ復号を行い、出力端子10へ出力する。ビタビ復号器3では品質の悪い伝送路においても同期検出および同期保持が行えるようにするために、一定の時間すなわち一定個数の入力データをモニタして、同期検出が成立か不成立かを判定する。ここで、デインターリーブ回路2の2次元メモリを $m \times n$ 空間とすると、ビタビ復号器3のモニタ期間は $m \times n$ より小さくなるように設定する必要がある。

【0029】次に上記実施例のデインターリーブ回路2では、正しいデータの区切り以外でデインターリーブした場合には、元のデータの配列が分断されて拡散されるためにビタビ復号器3で同期検出が成立しないことを図3及び図6を用いて説明する。

【0030】これらの図は、インターリーブ前、インターリーブ回路、伝送路、デインターリーブ回路、デインターリーブ後でのデータ配列を順を追って示したものである。又、インターリーブ回路16、デインターリーブ回路2で用いる2次元メモリ4は簡単のため、行方向7個、列方向4個の $7 \times 4$ のメモリ空間とした。アドレスは行・列ともに0番地から始まっているとし、アドレスの原点はメモリ空間の左上とする。

【0031】また、送信側にあるインターリーブ回路16のアドレス制御は、デインターリーブ回路2での処理と対応していなければならないので、以下のように制御する。すなわち、書き込み時には、行方向アドレスを周期性を有する疑似ランダム数列を発生するM系列カウンタ7でカウントし、その桁上がり信号で列方向アドレスをアップ・カウントする。読み出し時には、列方向アドレスをアップ/ダウン・カウントし、その桁上がり信号または桁下がり信号で行方向をアップ・カウントする。またインターリーブ回路16、デインターリーブ回路2に使用するM系列カウンタ7の生成多項式は同じ式を用いなければならない。

【0032】図6は行方向、列方向ともに通常のアップ・カウンタを用いた従来例の場合である。図6は正しいデータの区切りから1シンボルずれた位置でデインターリーブされた場合である。デインターリーブ後の結果から明らかなように、インターリーブ前のデータ配列がある程度保存されており、同期検出回路11で誤って同期検出が成立する可能性が高い。すなわち、ビタビ復号器3で符号の同期がとれていないにもかかわらず、同期が

とれていると判定されてしまう。

【0033】図3はデインターリーブ回路2の書き込み時の列方向カウンタにアップ/ダウン・カウンタ5を使用し、読み出し時の行方向カウンタにM系列カウンタ7を使用した場合である。ここではM系列の生成多項式は、 $X^7 + X^2 + 1$ とした。これによりカウント値は0、4、6、3、5、2、1、0と周期7で変化する。一般に次数 $n$ の生成多項式で構成されるM系列カウンタ7の周期は $2^n - 1$ である。図3では正しいデータの区切りから1列ずれた位置でデインターリーブされた場合であるが、デインターリーブ後の結果は元のデータ配列が分断されて拡散されているので、同期検出回路11で誤って同期検出が成立する可能性はない。

【0034】以上のように本実施例によれば、デインターリーブ回路用メモリの書き込み時の列方向アドレス・カウンタにアップ/ダウン・カウンタ5を用い、読み出し時の行方向アドレス・カウンタにM系列カウンタ7を用いるという構成を備えることにより、正しいデータの区切りでデインターリーブした場合のみ、元のデータの配列が分断されずに元に戻るために、同期検出回路11での誤同期検出の発生を避けることができる。

【0035】次に、他の実施例として、誤り訂正送信装置においては、書き込み手段の行方向アドレスの与え方を従来例と同様の方法で行い、読み出し手段の列方向アドレスの与え方を上記実施例と同様にアップ/ダウン・カウンタを用いて行う(図示省略)。又、それと対応するように、誤り訂正受信装置においては、書き込み手段の列方向アドレスの与え方を上記実施例と同様にアップ/ダウン・カウンタを用いて行い、読み出し手段の行方向アドレスの与え方を従来例と同様の方法で行う(図示省略)。

【0036】以上の構成により図4に示すように、デインターリーブ回路2の書き込み時の列方向カウンタにアップ/ダウン・カウンタを使用し、読み出し時の行方向カウンタに通常のアップ・カウンタを用いた場合(図4は図6と同様に、正しいデータの区切りから1シンボルずれた位置でデインターリーブされた場合を示す)、デインターリーブ後の結果は元のデータ配列が分断されて拡散されているので、同期検出回路で誤って同期検出が成立する可能性はない。

【0037】但し、このデインターリーブ回路2の書き込み時の列方向カウンタにアップ/ダウン・カウンタを使用し、読み出し時の行方向カウンタに通常のアップ・カウンタを用いた構成の場合、図5に示すように、図3と同様に正しいデータの区切りから1列ずれた位置でデインターリーブされた場合には、書き込み時の列方向カウンタにアップ/ダウン・カウンタを使用した効果はなく、インターリーブ前のデータ配列がある程度保存されており、同期検出回路で誤って同期検出が成立する可能性が高くなる。

【0038】なお、上記実施例では、誤り訂正送信装置では、書き込み時の行方向アドレスをM系列カウンタにより与え、読み出し時の列方向アドレスをアップ/ダウン・カウンタにより与え、あるいは、書き込み時の行方向アドレスをアップ・カウンタにより与え、読み出し時の列方向アドレスをアップ/ダウン・カウンタにより与える構成とし、誤り訂正受信装置では、書き込み時の列方向アドレスをアップ/ダウン・カウンタにより与え、読み出し時の行方向アドレスをM系列カウンタにより与え、あるいは、書き込み時の列方向アドレスをアップ/ダウン・カウンタにより与え、読み出し時の行方向アドレスをアップ・カウンタ（又はダウン・カウンタ）により与える構成とし、誤り訂正受信装置を、書き込み時の列方向アドレスをアップ・カウンタ（又はダウン・カウンタ）により与え、読み出し時の行方向アドレスをM系列カウンタにより与える構成としてもよい。

【0039】また、上記実施例では、いずれにおいても2次元メモリ4は7×4のメモリ空間としたが、このメモリサイズのみに限定されるものではない。

【0040】また、上記実施例では、アップ・カウンタ6及びアップ・カウンタ8を用いる構成としたが、これに代えて、両者ともダウン・カウンタを用いる構成としてもよい。

【0041】また、上記実施例では、乱数を発生させるのに、M系列カウンタ7を用いたが、これに限らず、インターリーブ側及びデインターリーブ側におけるアドレスの順序が対応していれば他の乱数発生器をもちいてもよい。

【0042】また、上記実施例では、いずれにおいてもインターリーブ回路16及びデインターリーブ回路2を専\*

\*用のハードウェアにより構成したが、これに限らず、同様の機能をコンピュータを用いてソフトウェア的に実現しても勿論よい。

#### 【0043】

【発明の効果】以上述べたところから明らかなように本発明は、誤り訂正符号化信号を復号するときに、誤って同期検出されることを防止できるという長所を有する。

#### 【図面の簡単な説明】

【図1】本発明にかかる一実施例の誤り訂正送信装置のブロック図である。

【図2】本発明にかかる一実施例の誤り訂正受信装置のブロック図である。

【図3】同実施例のインターリーブ回路、デインターリーブ回路の機能を説明する図である。

【図4】他の実施例のインターリーブ回路、デインターリーブ回路の機能を説明する図である。

【図5】他の実施例のインターリーブ回路、デインターリーブ回路の機能を説明する図である。

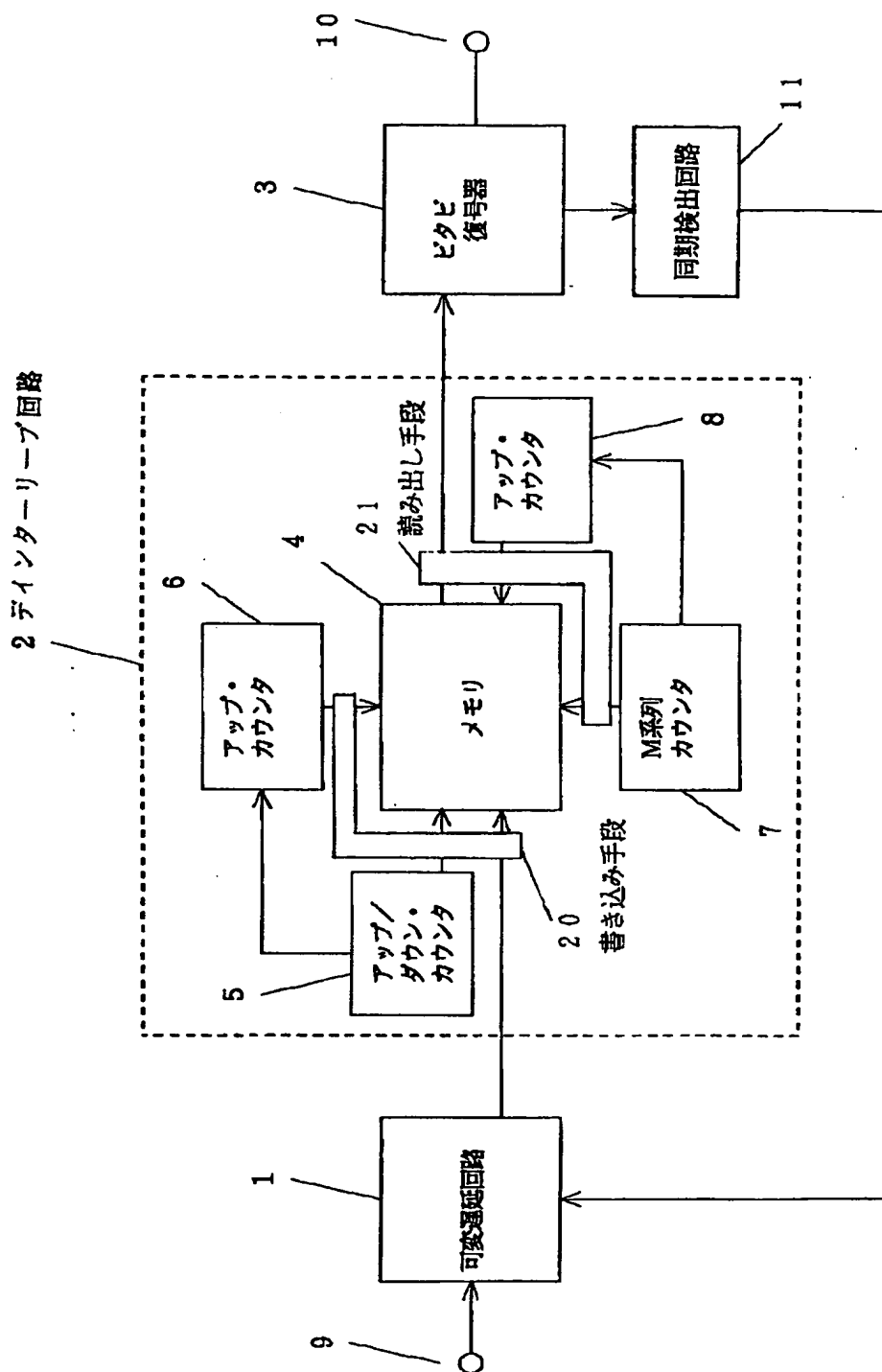
【図6】従来例のインターリーブ回路、デインターリーブ回路の機能を説明する図である。

【図7】従来の誤り訂正装置のブロック図である。

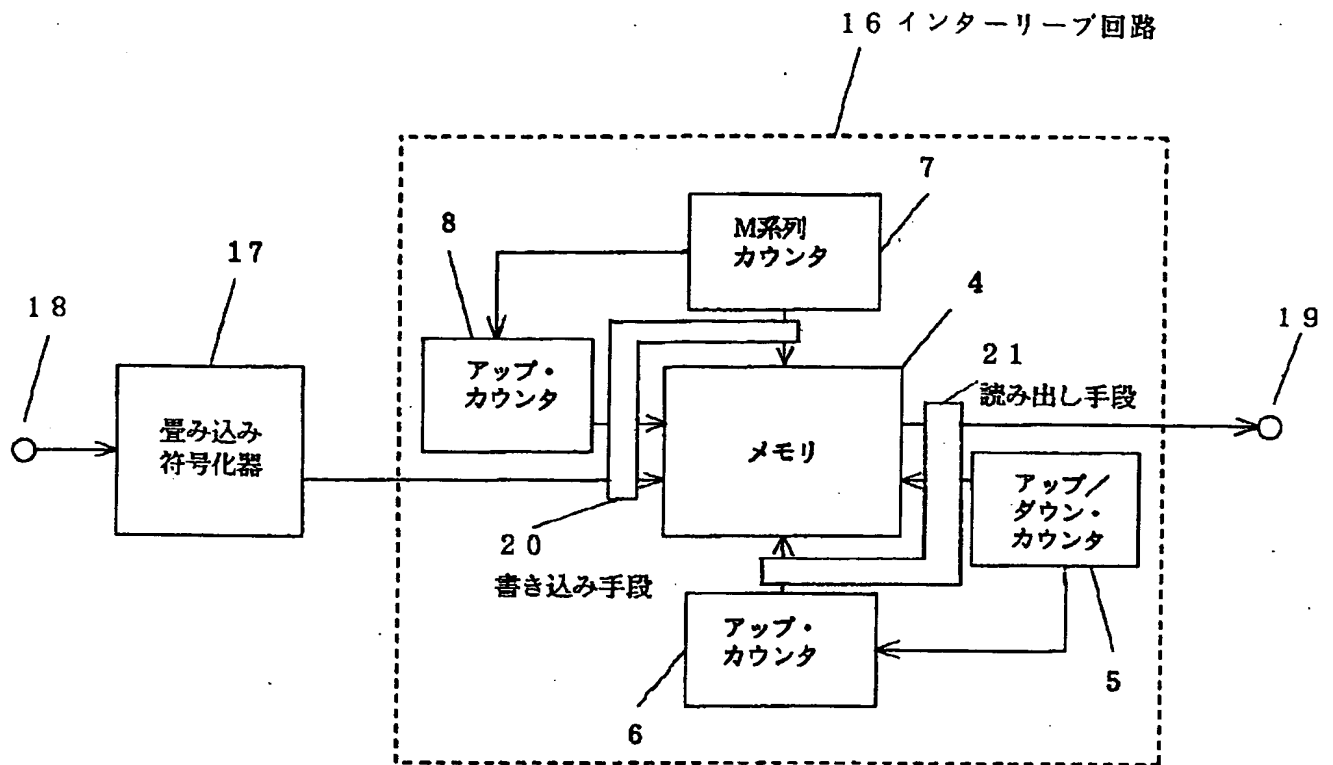
#### 【符号の説明】

- 1 可変遅延回路
- 2 デインターリーブ回路
- 3 ビタビ復号器
- 4 メモリ
- 5 アップ/ダウン・カウンタ
- 6、8 アップ・カウンタ
- 7 M系列カウンタ
- 16 インターリーブ回路
- 17 畳み込み符号化器
- 20 書き込み手段
- 21 読み出し手段

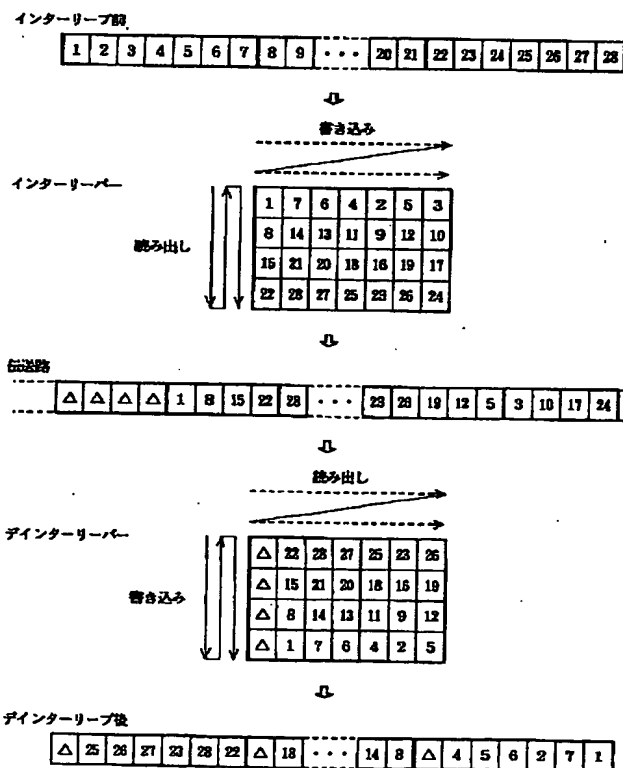
【図1】



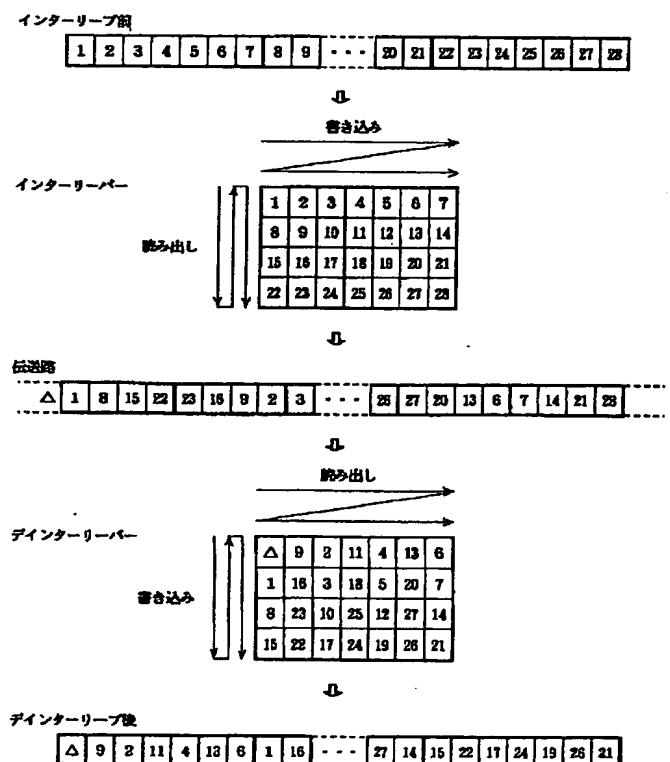
【図2】



【図3】

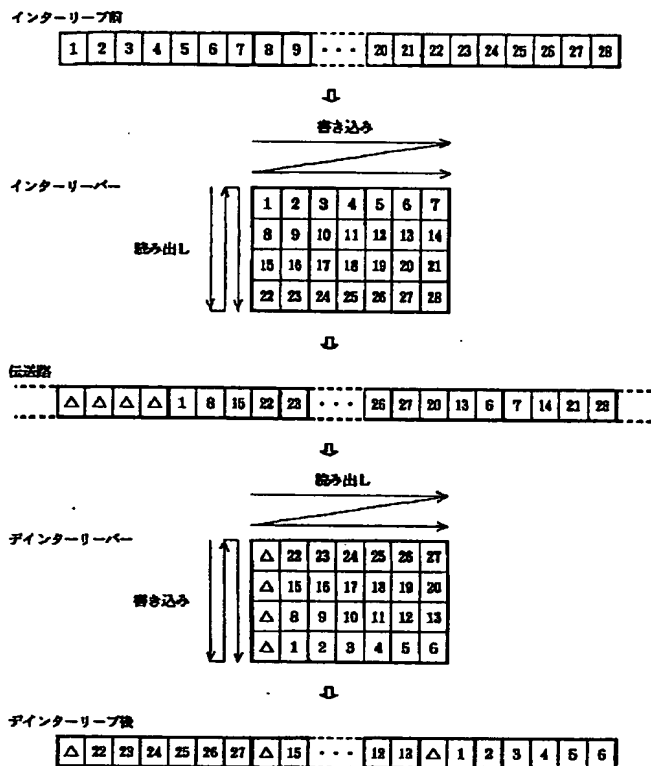


【図4】

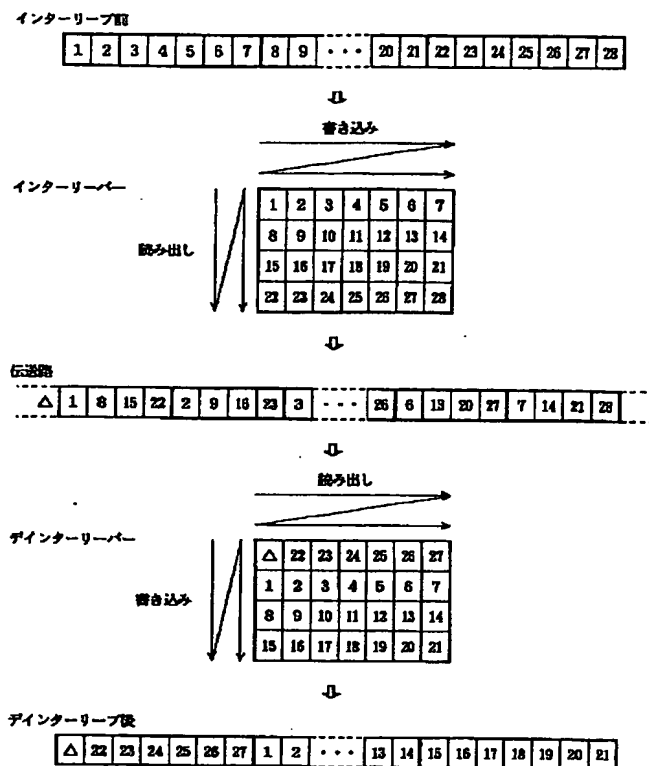




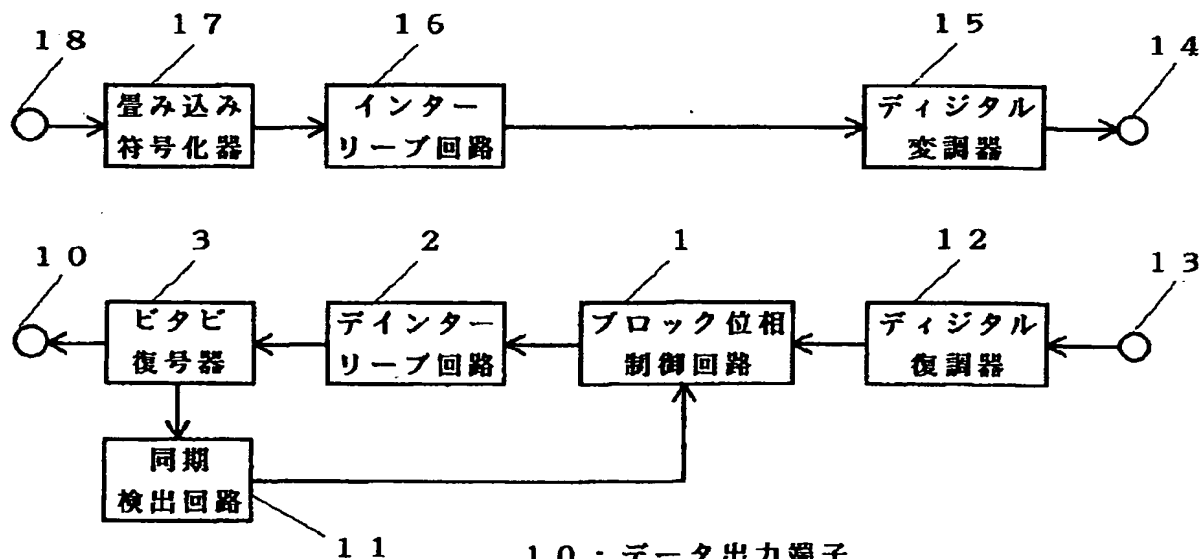
【図5】



【図6】



【図7】



- 10 : データ出力端子
- 13 : 受信デジタル変調波の入力端子
- 14 : デジタル変調波の出力端子
- 18 : 送信デジタル信号の入力端子

フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 4 L 27/18

識別記号 庁内整理番号

B 9297-5K

F I

技術表示箇所

(72) 発明者 林 大介

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 タッド パウザー

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内